


[my account](#) [learning center](#) [patent cart](#) [document ca](#)

home

research ▾

patents ▾

alerts ▾

documents ▾

**CHAT LIVE**

with Nerac

Mon-Fri 4AM to 10PM ET

**Format Examples****US Patent**

US6024053 or 6024053

**US Design Patent** D0318249**US Plant Patents** PP8901**US Reissue** RE35312**US SIR** H1523**US Applications** 20020012233**World Patent Applications**

WO04001234 or WO2004012345

**European** EP01302782**Great Britain Applications**

GB2018332

**French Applications** FR02842406**German Applications**

DE29980239

**Nerac Document Number (NDN)**

certain NDN numbers can be used for patents

[view examples](#)6.0 recommended  
Win98SE/2000/XP**Patent Ordering**[help](#)**Enter Patent Type and Number:** optional reference note
**GO**

☐ Add patent to cart automatically. If you uncheck this box then you must *click on* Publication number and view abstract to Add to Cart.

99 Patent(s) in Cart

**Patent Abstract**[Add to cart](#)FRA 1990-12-28 02648966 **CIRCUIT REDRESSEUR DE SIGNAUX ELECTRIQUES ALTERNATIFS****INVENTOR-** GEORGES MANOLIKAKIS**APPLICANT-** GEC ALSTHOM SA FR**PATENT NUMBER-** 02648966/FR-A1**PATENT APPLICATION NUMBER-** 08908534**DATE FILED-** 1989-06-27**PUBLICATION DATE-** 1990-12-28**PATENT FAMILY-** 1989, 8908534, A; 1989, 8908534, A**INTERNATIONAL PATENT CLASS-** H02M00708**PATENT APPLICATION PRIORITY-** 8908534**PRIORITY COUNTRY CODE-** FR, France**PRIORITY DATE-** 1989-06-27 NDN- 204-0062-6524-1

**EXEMPLARY CLAIMS-** 1/rectifying Circuit of alternate electric signals, with bridge of diodes, characterized in that it comprises in parallel on atleast one of the diodes {D, D. 0, DJ of this bridge a transistor 5 MOS(1, TJ ordered so as to respectively present a state passing or a state blocked for a state respectively passer by or blocked EC diode. It rectifying Circuit according to claim 1, characterized in that the tension of ordering of this transistor MOS is taken "ntre 10 the exit of the bridge connected to the diode considered and the entryof the bridge off-line to the diode considered, and in what this transistor is crossed by a current in opposite direction of a nomale use, namely of the source towards the drain for a transistor with channel N, or drain towards the source for a transistor with channel P. T3 f3 X: ; I T=C R \*\*, R-\* \*-O I p Ho-.. "-

NO-DESCRIPTORS

 **proceed to checkout**

Nerac, Inc. One Technology Drive • Tolland, CT • 06084 • USA

Phone +1.860.872.7000 • [Contact Us](#) • [Privacy Statement](#) • ©1995-2007 All Rights Reserved

12 DEMANDE DE BREVET D'INVENTION A1

22 Date de dépôt : 27 juin 1989.

30 Priorité :

43 Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 52 du 27 décembre 1990.

60 Références à d'autres documents nationaux appa-  
rentés :

71 Demandeur(s) : ALSTHOM. — FR.

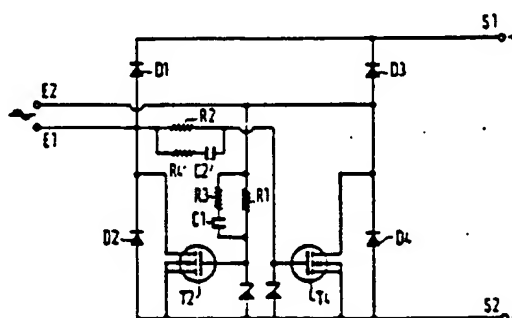
72 Inventeur(s) : Georges Manolikakis.

73 Titulaire(s) : GEC ALSTHOM SA. — FR.

74 Mandataire(s) : Josiane El Manouni, SOSPI.

54 Circuit redresseur de signaux électriques alternatifs.

57 Ce circuit redresseur de signaux électriques alternatifs, à pont de diodes comporte en parallèles sur au moins une des diodes de ce pont un transistor MOS commandé de manière à présenter respectivement un état passant ou un état bloqué pour un état respectivement passant ou bloqué de cette diode, afin de diminuer la chute de tension de redressement.



Circuit redresseur de signaux électriques alternatifs

La présente invention concerne un circuit redresseur de signaux électriques alternatifs, et plus particulièrement un circuit redresseur dit à pont de diodes.

5 Un tel montage est bien connu ; son principe est rappelé sur la figure 1.

Une tension alternative "e" étant appliquée en entrée de ce montage, entre les points  $E_1$  et  $E_2$  communs respectivement à deux diodes  $D_1$  et  $D_2$  disposés dans l'un des bras du pont, et à  
10 deux diodes  $D_3$  et  $D_4$  disposées dans l'autre bras du pont, les diodes  $D_1$  et  $D_4$  d'une part,  $D_2$  et  $D_3$  d'autre part, conduisent alternativement, de sorte qu'une tension redressée "s" est obtenue en sortie de ce montage, entre les points  $S_1$  et  $S_2$  communs respectivement aux diodes  $D_1$  et  $D_3$ , et aux diodes  $D_2$  et  $D_4$ .

15 Le sens de montage des diodes détermine la polarité sur chacune des sorties  $S_1$  et  $S_2$ , en l'occurrence une polarité positive sur  $S_1$  et une polarité négative sur  $S_2$  dans l'exemple représenté sur la figure 1.

Les signaux appliqués à ce montage subissent cependant, outre  
20 une modification de forme qui est le résultat recherché, une chute de tension égale à la tension aux bornes des diodes rendues passantes à un instant donné, ce qui peut présenter un inconvénient dans certaines applications.

La présente invention a pour objet un circuit redresseur  
25 à diodes permettant d'éviter un tel inconvénient.

Suivant une caractéristique de l'invention, un circuit redresseur de signaux électriques alternatifs, à pont de diodes, comporte essentiellement, en parallèle sur au moins une des diodes de ce pont, un transistor MOS commandé de manière à présenter respectivement  
30 un état passant ou un état bloqué pour un état respectivement passant ou bloqué de cette diode.

D'autres objets et caractéristiques de la présente invention apparaîtront plus clairement à la lecture de la description suivante d'un exemple de réalisation, faite en relation avec les dessins  
35 ci-annexés dans lesquels, outre la figure 1 relative à l'art antérieur,

- 2 -

la figure 2 est un schéma d'un circuit redresseur à pont de diodes suivant l'invention.

La figure 2 reprend le montage de la figure 1, en y adjoignant deux transistors MOS  $T_2$  et  $T_4$  en parallèle respectivement sur les diodes  $D_2$  et  $D_4$  situées chacune sur l'un des bras du pont dans la partie inférieure de celui-ci, ces transistors étant respectivement commandés par un signal relatif à l'autre bras du pont.

Plus précisément le transistor  $T_2$  à sa source connectée au point  $S_2$ , son drain connecté au point  $E_1$  et sa grille connectée au point  $E_2$ , via une résistance  $R_1$ . De même, le transistor  $T_4$  a sa source connectée au point  $S_2$ , son drain connecté au point  $E_2$ , et sa grille connectée au point  $E_1$ , via une résistance  $R_2$ .

Avec le sens de branchement des diodes considéré, ces transistors sont des transistors à canal N.

A l'état conducteur, ils sont par ailleurs parcourus par un courant orienté de la source vers le drain, c'est-à-dire en sens inverse d'une utilisation classique de transistors de ce type.

Chacun d'eux est ainsi à l'état passant pour un état passant de la diode sur laquelle il est monté en parallèle, et à l'état bloqué pour un état bloqué de celle-ci.

La conduction en parallèle d'une diode de redressement et d'un transistor MOS permet de diminuer la chute de tension de redressement, ceci restant vrai tant que le produit  $R \times I$  de la résistance à l'état passant du transistor MOS par le courant de charge du pont redresseur est inférieur au seuil de la diode.

Des transistors MOS pourraient être associés de la même façon aux diodes de redressement  $D_1$  et  $D_3$  situées dans la partie supérieure du pont en vue de réduire encore les chutes de tension. Ils seraient alors à canal P.

Afin d'accélérer le basculement des transistors  $T_2$  et  $T_4$ , une résistance  $R_3$  en série avec un condensateur  $C_1$  et une résistance  $R_4$  en série avec un condensateur  $C_2$  peut être ajoutées en parallèle respectivement sur la résistance  $R_1$  et sur la résistance  $R_2$ .

## REVENDICATIONS

- 1/ Circuit redresseur de signaux électriques alternatifs, à pont de diodes, caractérisé en ce qu'il comporte en parallèle sur au moins une des diodes ( $D_1$ ,  $D_2$ ,  $D_3$ ,  $D_4$ ) de ce pont un transistor MOS ( $T_2$ ,  $T_4$ ) commandé de manière à présenter respectivement un état passant ou un état bloqué pour un état respectivement passant ou bloqué de cette diode.
- 2/ Circuit redresseur selon la revendication 1, caractérisé en ce que la tension de commande de ce transistor MOS est prise entre la sortie du pont connectée à la diode considérée et l'entrée du pont non connectée à la diode considérée, et en ce que ce transistor est traversé par un courant en sens inverse d'une utilisation normale, à savoir de la source vers le drain pour un transistor à canal N, ou du drain vers la source pour un transistor à canal P.

1/1

FIG. 1

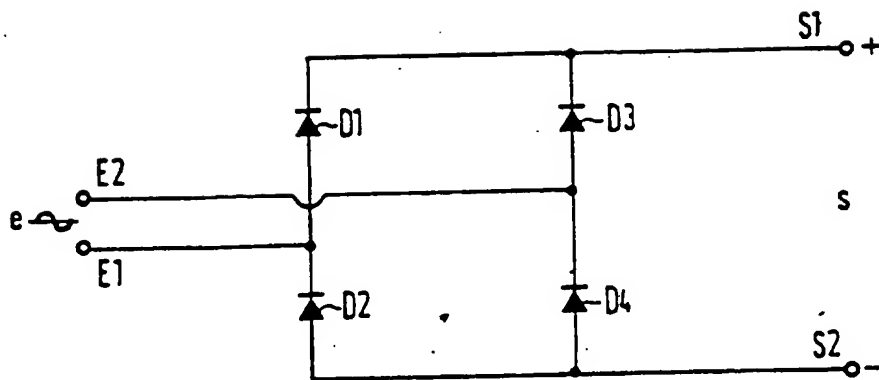


FIG. 2

